

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004126

(43)Date of publication of application : 06.01.1998

(51)Int.Cl.

H01L 21/60

H01L 23/12

H05K 3/32

H05K 3/46

(21)Application number : 08-175646

(71)Applicant : SONY CORP

(22)Date of filing : 14.06.1996

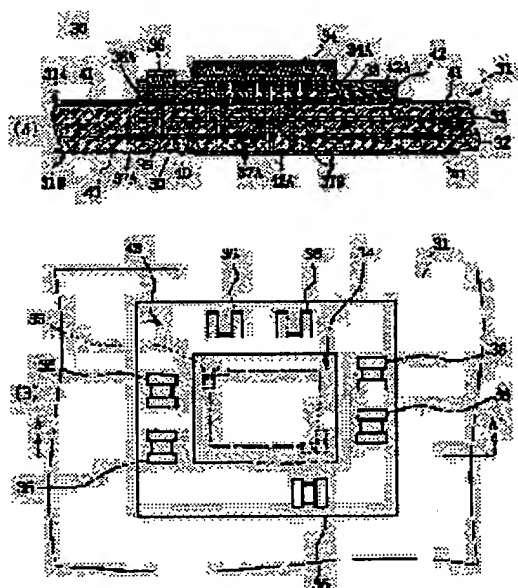
(72)Inventor : OKUHORA AKIHIKO

## (54) MOUNTING BOARD, ELECTRONIC COMPONENT MOUNTING, AND SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable practically sufficient reduction in layout spacing between electronic components at a point where noise prevention and high-density mounting are to be performed.

**SOLUTION:** Electrodes 35, 36A of electronic components 34, 36 are joined with lands 37A of a wiring board 31 via an anisotropic conductive member 42, and the electronic components 34, 36 and the wiring board 31 are held in an integral manner. Thus, since the spacing between the electronic components 34, 36 does not depend upon the cutting accuracy of the anisotropic conductive member 42 or the positioning accuracy with respect to the wiring board 31, the layout spacing between the electronic components 34, 36 may be significantly reduced. Thus, a mounting board, an electronic component mounting method and a semiconductor device which enable high-density mounting may be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-4126

(43) 公開日 平成10年(1998) 1月6日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S
			H 0 5 K 3/32	B
H 0 5 K 3/32				Q
				F
3/48			H 0 1 L 23/12	L

審査請求 未請求 請求項の数7 FD (全 9 頁)

(21) 出願番号 特願平8-175646

(22) 出願日 平成8年(1996) 6月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 奥洞 明彦

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 実装基板、電子部品実装方法及び半導体装置

(57) 【要約】

【課題】ノイズ対策及び高密度実装する点において、各電子部品の配置間隔を実用上十分に近づけることが困難な問題があつた。

【解決手段】異方性導電部材(42)を介して各電子部品(34、36)の各電極(35、36A)をそれぞれ配線基板(31)の対応するランド(37A)に接合すると共に、各電子部品(34、36)と配線基板(31)とを一体に保持する。これにより、各電子部品(34、36)の間隔は異方性導電部材(42)の切取り精度及び配線基板(31)に対する位置決め精度に依存しないので、各電子部品(34、36)の配置間隔を大幅に狭めることができる。かくして高密度実装し得る実装基板(30)、電子部品実装方法及び半導体装置を実現することができる。

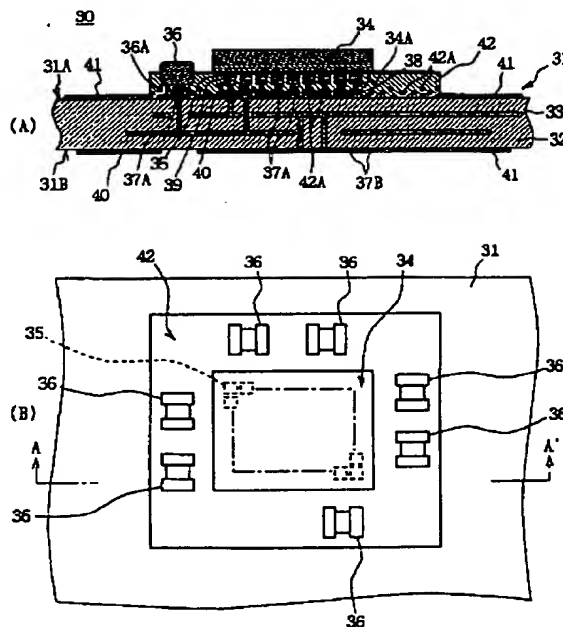


図1 実施例による実装基板の構成

## 【特許請求の範囲】

【請求項1】複数の電子部品と、

一方の面に上記複数の電子部品の各電極に対応したランドが設けられた配線基板と、

上記各電子部品の上記各電極をそれぞれ配線基板の対応する上記ランドに接合すると共に、上記各電子部品と上記配線基板とを一体に保持する異方性導電部材とを具えることを特徴とする実装基板。

【請求項2】上記各電子部品の上記各電極が設けられている面と対向する面側を被覆する絶縁性樹脂を具えることを特徴とする請求項1に記載の実装基板。

【請求項3】複数の電子部品の各電極に対応させて一方の面にランドが設けられた配線基板を作製する第1の工程と、

上記複数の電子部品の上記各電極をそれぞれ異方性導電部材を介して上記配線基板の対応する上記ランドに接合すると共に、上記異方性導電部材を介して上記複数の電子部品及び上記配線基板を一体に保持する第2の工程とを具えることを特徴とする電子部品実装方法。

【請求項4】上記各電子部品の上記各電極が設けられている面と対向する面側から絶縁性樹脂を滴下することにより、当該絶縁性樹脂によって上記複数の電子部品を被覆する第3の工程を具えることを特徴とする請求項3に記載の電子部品実装方法。

【請求項5】配線基板の一方の面に実装される半導体装置において、  
複数の電子部品と、

一方の面に上記複数の電子部品の各電極に対応したランドが設けられた配線基板と、

上記各電子部品の上記各電極をそれぞれ配線基板の対応する上記ランドに接合すると共に、上記各電子部品と上記配線基板とを一体に保持する異方性導電部材とを具えることを特徴とする半導体装置。

【請求項6】上記各電子部品の上記各電極が設けられている面と対向する面側を被覆する絶縁性樹脂を具えることを特徴とする請求項5に記載の半導体装置。

【請求項7】上記配線基板は、

他方の面に設けられたランドと、

上記ランド上に設けられた電気的接続手段とを具えることを特徴とする請求項5に記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術（図7及び図8）

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

(1) 第1実施例（図1及び図2）

(2) 第2実施例（図3）

(3) 他の実施例（図4～図6）

発明の効果

【0002】

【発明の属する技術分野】本発明は実装基板、電子部品実装方法及び半導体装置に関し、例えば多層配線基板の一方の面にベアチップ及びチップ部品が実装されてなる実装基板、電子部品実装方法及び半導体装置に適用して好適なものである。

【0003】

【従来の技術】従来、エンジニアリングワークステーション（Engineering Work Station、EWS）やパーソナルコンピュータ等の情報処理装置においては、並列処理化の促進及びクロック速度の高速化によって処理能力が向上していると同時に、半導体集積化技術及び実装技術の向上に伴って、この種の情報処理装置は小型化されてきている。

【0004】またこの種の情報処理装置においては、取り扱う情報量が増加し、これに伴ってシステムクロックも高速化している。さらにセルラ電話、ISDN（Integrated Services Digital Network、総合デジタル通信サービス網）やパーソナルコンピュータ等の情報通信（ネットワーク）技術の向上に伴って、様々な機器に高周波通信ブロックや光速シリアルインタフェース等が用いられている。

【0005】このように特に情報処理分野や情報通信分野では、情報のデジタル化及び信号の高速化に伴ってシステムが変化しており、上述のようなパーソナルコンピュータ等の機器に用いられる高周波回路ブロックにおける低ノイズ化及び機器の小型化が望まれている。このような要望を実現するため、半導体チップの実装方法として、マルチチップモジュール（Multichip Module、MCM）やフリップチップ実装等のベアチップ実装が利用されている。

【0006】通常、ベアチップを用いたフリップチップ実装においては、当該ベアチップの回路面に形成された複数の電極（以下、これをパッドと呼ぶ）上にそれぞれはんだ等でなるバンプを形成した後、ベアチップの回路面とマザーボードの一方の面とを対向させてベアチップの各バンプをそれぞれマザーボードの一方の面に配設された対応するランドに接合させることにより、当該マザーボードの一方の面にベアチップを実装するようになされている。

【0007】なおベアチップが実装されるマザーボードとしては、通常、ガラスエポキシ又はガラスポリイミド等の有機基板と所定の配線パターンとが順次積層されてなる多層配線基板、アルミナ又はムライト等のセラミック基板と所定の配線パターンとが順次積層形成されてなる多層配線基板又はシリコン基板の一方の面に銅等でなる所定の配線パターン層とポリイミド層とが順次積層形成されてなる多層配線基板等が用いられる。

【0008】このフリツブチップによる実装としては、ベアチップのバツド上に高融点はんだでなるバンパを形成し、マザーボード上にはんだブリコートをを行うことにより、ベアチップの各バツドとマザーボードの対応する各ランドとを接続するはんだフリツブチップ法や、ベアチップの各バツド上にAu（金）ワイヤボンディング法を用いてAuバンパを形成し、Ag（銀）ペースト等の導電性ペーストをバンパ上に適量だけ転写した後、ベアチップをマザーボード上に直接マウントする導電性樹脂フリツブチップ法などがある。

【0009】ここではんだフリツブチップ実装によつてマザーボードの一方の面にベアチップが実装された実装基板の一例を図7に示す。図7（A）及び図7（B）に示すように、この実装基板1においては、ベアチップ2の回路面2Aの最外周に沿つて所定ピッチに複数設けられたバツド3と、これら各バツド3に対応してマザーボード4の一方の面4Aに設けられたランド5とが例えば高融点はんだでなるバンパ6を介して接合することにより、当該マザーボード4の一方の面4Aにベアチップ2が実装されている。またこの実装基板1においては、抵抗やコンデンサ等のノイズ対策部品であるチップ部品7がはんだ8によつてマザーボード4の一方の面4Aの対応するランド5に実装されている。

【0010】この場合、マザーボード4はセラミツク基板9と銅等でなる所定の配線パターン層10とが交互に積層形成されてなり、当該マザーボード4の一方の面4A及び他方の面4Bの所定の領域にはソルダレジスト11が形成されている。またマザーボード4の一方の面4Aの各ランド5上には例えば共晶はんだでなるはんだブリコート層12が形成されている。これにより、この実装基板1においては、リフロー時、高融点はんだは溶融せず、かつ共晶はんだが溶融する程度の温度ではんだブリコート層12がリフローされ、溶融したはんだブリコート層12が各バンパ6に溶着される。

【0011】またこの実装基板1においては、マザーボードの一方の面4Aにベアチップ2が実装された後、当該マザーボード4の一方の面4Aとベアチップ2の回路面2Aとの間の空隙に絶縁性樹脂13が充填されてベアチップ2が封止される。これにより、マザーボード4とベアチップ2との熱膨張係数の違いに起因して各バンパ6に応力が集中することにより生ずる各バンパ6の破損を防止するようになされている。

【0012】ここで図7（B）に示すように、ベアチップ2の周囲には絶縁性樹脂13を封入したときチップ部品7が絶縁性樹脂13によつて固着することを防止するための部品搭載禁止領域14が形成されている。この場合、絶縁性樹脂13を封入する側の部品搭載禁止領域14Aは、当該絶縁性樹脂13を封入する封入口となるため大きく形成されている。

【0013】ところがこのように絶縁性樹脂13によつ

てベアチップ2を封止する必要があるフリツブチップ実装の場合、上述のように部品搭載禁止領域14を設ける必要があるため、その分ベアチップ2とチップ部品7との配置間隔が大きくなり、この結果実装密度が低下すると共にノイズの低減化を損なうおそれがある。特にデジタル回路の場合にはベアチップ2にノイズ対策部品であるデカップリングコンデンサや終端抵抗を実装する場合が多いため、絶縁性樹脂13による封止が必要なフリツブチップ実装を行つた場合には、実装密度が低下すると共にノイズの低減化を損なうおそれがある。

【0014】そこでこのような問題を解決するための1つの方法として、異方性導電フィルム（Anisotropic Conductive Film、ACF）を用いたフリツブチップ実装法が提案されている。ここで異方性導電フィルム（接着剤）を用いた実装基板の一例を図7との対応部分に同一符号を付して示す図8に示す。

【0015】この実装基板20においては、各バツド3上に例えばAuワイヤボンディング法を用いてAuバンパ21が形成されたベアチップ2の回路面2Aを、マザーボード4の一方の面4Aにバツド3に対応して設けられた各ランド5を覆うように接着された異方性導電フィルム22に対して、例えば100～240〔℃〕の圧着温度、50～40〔秒〕の圧着時間、1バンパ当たり5～100〔g〕の圧力で熱圧着することにより、マザーボード4の一方の面4Aにベアチップ2が実装されている。

【0016】この場合、ベアチップ2においては、回路面2Aに設けられた各バツド3上には、例えばチタン、白金、金でなる金属被膜層が順次積層形成されてなるBLM（Ball Limiting Metal）膜層23が形成されており、当該各BLM膜層23上にそれぞれAuバンパ21が形成されている。このBLM膜層23はAuバンパ21のバツド3への拡散を防止するようになされている。ここでこの実装基板20においては、各バンパ21が異方性導電フィルム22中に均一に分散された導電性粒子22Aを介してマザーボード4の各ランド5に接合されることにより、ベアチップ2の各バツド3とマザーボード4の対応するランド5が電氣的に接合するようになされている。

【0017】

【発明が解決しようとする課題】ところでこの異方性導電フィルムを用いたフリツブチップ実装法では、マザーボード4の一方の面4Aに異方性導電フィルム22を位置合わせして仮付けを行う際、ノイズ対策チップ部品7をできる限りベアチップ2の近傍に配設すれば、高密度実装及びノイズの低減化を実現することができると考えられる。

【0018】ところがかかる方法によつてベアチップ2及びチップ部品7をマザーボード4に実装する場合、異方性導電フィルムの周縁部の位置がベアチップ2とチップ部品7との間に配置されるように、異方性導電フィル

ム22を大きな異方性導電フィルムから切り取る必要があると共に、切り取った異方性導電フィルム22をマザーボード4に対して位置決めしなければならない。この場合、互いに隣り合うベアチップ2及びチップ部品7は、大きな異方性導電フィルムから各ベアチップ2に対応した大きさの異方性導電フィルム22を切り取る際に生ずる寸法誤差と、当該切り取られた異方性導電フィルム22をマザーボード4の一方の面4Aに接着する際の位置決め誤差を考慮して、これら寸法誤差及び位置決め誤差よりも大きな間隔で配置しなければならない、ノイズ対策及び高密度実装する点においてベアチップ2とチップ部品7との配置間隔を実用上十分に近づけることが困難な問題があった。

【0019】本発明は以上の点を考慮してなされたもので、高密度実装し得る実装基板、電子部品実装方法及び半導体装置を提案しようとするものである。

【0020】

【課題を解決するための手段】かかる課題を解決するため本発明においては、異方性導電部材を介して各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する。異方性導電部材上に各電子部品が配置されるので、各電子部品の間隔は異方性導電部材の切り取り精度及び配線基板に対する位置決め精度に依存せず、各電子部品の配置間隔を大幅に狭めることができる。

【0021】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0022】(1)第1実施例

図1において、30は全体として実装基板を示し、マザーボード31はガラスエポキシ基板32と所定の配線パターン層33とが交互に積層形成されてなる。このマザーボード31の一方の面31Aには、電子部品としてのベアチップ34の回路面34Aに設けられた各パッド35と、当該ベアチップ34の周囲に配置された電子部品としてのチップ部品36の一方の面に設けられた電極36Aとにそれぞれ対応したランド37Aが、例えばCu(銅)箔をエッチングすることにより形成されている。またマザーボード31の他方の面31Bにも例えばCu箔をエッチングすることにより複数のランド37Bが形成されている。

【0023】また各ランド37A上にはニッケル(Ni)/金(Au)めつき層38が形成されており、これによりベアチップ34の各パッド35上にBLM膜層39を介して形成されたAuバンパ40とランド37Aとの接続抵抗を低下させると共に、Auバンパ40とランド37Aとの導電性を向上させ得るようになされている。またマザーボード34の一方の面34A及び他方の面34Bの所定の領域にはソルダレジスト41が形成されている。

【0024】ベアチップ34の回路面34Aには当該回路面34Aの最外周に沿って例えばA1、A1S<sub>i</sub>又はA1S<sub>i</sub>C<sub>u</sub>でなるパッド35が複数設けられており(図1(B))、当該各パッド35上にはそれぞれBLM膜層39が形成されている。またBLM膜層39上にはそれぞれAuバンパ40が形成されており、このBLM膜層39はAuバンパ40のパッド35への拡散を防止し得るようになされている。

【0025】ここでマザーボード31の一方の面31Aには、所定の厚みでなる接着フィルム状の異方性導電フィルム42が各ランド37Aを覆うように接着されており、この異方性導電フィルム42はマザーボード31、ベアチップ34及びチップ部品36を一体に保持するようになされている。この異方性導電フィルム42中には、プラスチックボールに例えばAu及びNi等がめつきされた直径約2~10〔μm〕の導電性粒子42Aが均一に分散されており、ベアチップ34の各バンパ35とチップ部品36の電極36Aとはこの導電性粒子42Aを介してマザーボード31の対応するランド37Aに電気的に接合されている。

【0026】また図1(B)に示すように、異方性導電フィルム42の大きさは、ベアチップ34及び当該ベアチップ34の周囲に配置されるチップ部品36を当該異方性導電フィルム42を介してマザーボード31の一方の面31Aに実装し得るような大きさに選定されている。

【0027】ここでマザーボード31の一方の面31Aにベアチップ34及びチップ部品36を実装する工程を図2に示す。まずベアチップ34の回路面34Aに設けられた各パッド35のBLM膜層39上に、例えばワイヤボンディングツールを用いてAuバンパ40を形成する。続いてマザーボード31を作製した後、当該マザーボード31の他方の面31Bを所定の支持装置43によつて支持した状態で、マザーボード31の一方の面31Aに、各ランド37Aを覆うような所定の大きさでなる異方性導電フィルム42を仮付けする。この場合、異方性導電フィルム42のガラス転移点温度以下の温度で当該異方性導電フィルム42をマザーボード31の一方の面31Aに仮付けする(図2(A))。

【0028】続いてベアチップ34の回路面34Aに対向する他方の面34Bを所定の吸着装置44で吸着し、ベアチップ34の回路面34Aをマザーボード31の一方の面31Aに対向させると共に、ベアチップ34の各パッド35をマザーボード31の対応する各ランド37Aに位置決めした後、100~240〔℃〕の圧着温度、5~40〔秒〕の圧着時間、1バンパ当たり5~100〔g〕程度の圧力の熱圧着条件でベアチップ34を異方性導電フィルム42に対して熱圧着する(図2(B))。

【0029】次にチップ部品36の電極36Aをマザーボード31の対応するランド37Aに位置決めした後、

加熱ヘッドを有するツール（図示せず）を用いて上述の熱圧着条件でチップ部品36を異方性導電フィルム42に対して熱圧着させることにより、当該チップ部品36をマザーボード31の一方の面31Aに固定させる（図2（C））。このときベアチップ34の各パッド35に設けられたバンパ39及びチップ部品36の電極36Aと、マザーボード31の対応するランド37Aとは、異方性導電フィルム42中に存在する導電性粒子42Aを介して電氣的に接合される。かくしてマザーボード31の一方の面31Aにベアチップ34及びチップ部品36が機械的及び電氣的に実装される。

【0030】以上の構成において、この実装基板30では、異方性導電フィルム42上にベアチップ34及びチップ部品36を配置したことにより、異方性導電フィルム42の周縁部の位置を、チップ部品36の外側に配置することができるので、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取った異方性導電フィルム42をマザーボード31に対して接着する際の位置決め精度を従来の実装基板20に比して大幅に緩和することができる。従つてベアチップ34とチップ部品36との間隔は異方性導電フィルム42の切り取り精度及びマザーボード31に対する位置決め精度に依存しないので、従来の実装基板20に比してベアチップ34とチップ部品36との間隔を大幅に狭くすることができる。

【0031】またこの実装基板30では、異方性導電フィルム42上にベアチップ34及びチップ部品36を配置したことにより、ベアチップ34とチップ部品36とを同じ方法でマザーボード31に実装し得るので、従来の実装基板1及び20のようにベアチップとは別個の方法でチップ部品を実装する場合に比して、実装工程を簡易化し得ると共に実装時間を短縮することができる。

【0032】またこの実装基板30では、ベアチップ34及びチップ部品36は異方性導電フィルム42中の導電性粒子42Aを介してマザーボード31の対応するランド37Aと電氣的に接続されるので、ベアチップ34及びチップ部品36をマザーボード31の対応するランド37Aと低抵抗で接続することができる。またこの実装基板30では、異方性導電フィルム42上にベアチップ34及びチップ部品36を配置したことにより、はんだを使用していない分、実装基板30を軽量化し得ると共に、当該実装基板30を廃棄処分する際にはんだの廃棄を防止することができる。

【0033】さらにこの実装基板30では、マザーボード31の一方の面31Aに設けられた各ランド37A上にNi/Auめつき層38が形成されているので、ベアチップ34及びチップ部品36とマザーボード31との接続抵抗を低下させることができると共に、マザーボード31の各ランド37Aとベアチップ34の各パッド35及びチップ部品36の電極36Aとの導電性を向上さ

せることができる。

【0034】以上の構成によれば、ベアチップ34の各パッド35とチップ部品36の電極36Aとをそれぞれ異方性導電フィルム42を介してマザーボード31の対応するランドに接合すると共に、異方性導電フィルムを介してベアチップ34及びチップ部品36とマザーボード31とを一体に保持したことにより、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取った異方性導電フィルム42をマザーボード31に対して接着する際の位置決め精度を従来の実装基板20に比して大幅に緩和することができるので、従来の実装基板20に比してベアチップ34と当該ベアチップ34の周囲に配置されるチップ部品36との間隔を大幅に狭くすることができる。またベアチップ34及びチップ部品36を同じ方法でマザーボード31に対して実装し得るので、実装工程を簡単にできる。かくして簡易な工程によつて高密度実装し得る低ノイズの実装基板30及び実装方法を実現することができる。

#### 【0035】（2）第2実施例

図1との対応部分に同一符号を付して示す図3において、50は全体として半導体装置を示し、ベアチップ31及びチップ部品36が異方性導電フィルム42を介して、ガラスエポキシ基板51及び所定の配線パターン層52が交互に積層形成されてなる多層配線基板53の一方の面53Aに実装されたチップサイズパッケージで構成されている。

【0036】この半導体装置50は、ベアチップ34の各パッド35上に設けられたAuバンパ39とチップ部品36の電極36Aとは、異方性導電フィルム42中に存在する導電性粒子42Aを介して多層配線基板53の一方の面53Aに設けられた対応するランド54Aに電氣的に接合されていると共に、異方性導電フィルム42を介してベアチップ34及びチップ部品36と多層配線基板53とが一体に保持されている。またこの半導体装置50の場合、ベアチップ34及びチップ部品36は、当該ベアチップ34の回路面34Aと対向する面34B側及びチップ部品36の電極36Aが形成される面と対向する面側がエポキシ樹脂55によつて覆われている。

【0037】またこの半導体装置50は、多層配線基板53の他方の面53Bに設けられた各ランド54B上に、0.3～1.0〔mm〕程度のピッチではんだボール56が形成されたいわゆるBGA（Ball Grid Array）で構成されており、マザーボードに実装し得るようになされている。この場合、多層配線基板53の他方の面53Bに設けられた各ランド54Bにはんだボール56を形成せずに、多層配線基板53の他方の面53B側のランド54Bを剥き出しの状態にしてもよい。

【0038】以上の構成において、この半導体装置50では、異方性導電フィルム42上にベアチップ34及び

チップ部品36を配置したことにより、異方性導電フィルム42の周縁部の位置を、チップ部品36の外側に配置することができるので、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取った異方性導電フィルム42を多層配線基板53に対して接着する際の位置決め精度を従来の半導体装置に比して大幅に緩和することができる。従つてベアチップ34とチップ部品36との間隔は異方性導電フィルム42の切り取り精度及び多層配線基板53に対する位置決め精度に依存しないので、従来の半導体装置に比してベアチップ34とチップ部品36との間隔を大幅に狭くすることができる。

【0039】またこの半導体装置50では、異方性導電フィルム42上にベアチップ34及びチップ部品36を配置したことにより、ベアチップ34とチップ部品36とを同じ方法で多層配線基板53に対して実装し得るので、従来の実装方法に比して実装工程を簡易化し得ると共に実装時間を大幅に短縮することができる。またこの半導体装置50では、ベアチップ34及びチップ部品36は異方性導電フィルム42中の導電性粒子42Aを介して多層配線基板53の対応するランド54Aと電気的に接続されるので、ベアチップ34及びチップ部品36を多層配線基板53の対応するランド54Aと低抵抗で接続することができる。

【0040】またこの半導体装置50では、異方性導電フィルム42上にベアチップ34及びチップ部品36を配置したことにより、はんだを使用していない分、半導体装置50を軽量化し得ると共に、当該半導体装置50を廃棄処分する際にはんだの廃棄を防止することができる。またこの半導体装置50では、多層配線基板53の一方の面53Aに設けられた各ランド54A上にNi/Auめつき層38が形成されているので、ベアチップ34及びチップ部品36と多層配線基板53との接続抵抗を低下させることができると共に、多層配線基板53の各ランド54Aとベアチップ34の各パッド35及びチップ部品36の電極36Aとの導電性を向上させることができる。

【0041】またこの半導体装置50では、半導体装置50の実装密度を従来の半導体装置に比して高密度にし得るので、マザーボードに対する半導体装置50の実装密度を向上させることができる。さらにこの半導体装置50では、ベアチップ34及びチップ部品36がエポキシ樹脂55によつて被覆されているので、半導体装置50を外部から保護することができる。

【0042】以上の構成によれば、異方性導電フィルム42上にベアチップ34及びチップ部品36を配置したことにより、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取った異方性導電フィルム42を多層配線基板53に対して接着する際の位置決め精度を従来の半導体装置

に比して大幅に緩和することができるので、従来の半導体装置に比してベアチップ34と当該ベアチップ34の周囲に配置されるチップ部品36との間隔を大幅に狭くすることができる。かくして簡易な工程によつて高密度実装し得る低ノイズの半導体装置50を実現することができる。

#### 【0043】(3)他の実施例

なお上述の実施例においては、異方性導電フィルム42上にベアチップ34及びチップ部品36が配置された実装基板30について述べたが、本発明はこれに限らず、図4に示すように、ベアチップ34の回路面34Aと対向する面側及びチップ部品36の電極36Aが形成されている面と対向する面側を、例えばエポキシ樹脂61によつて被覆するようにしても上述の実施例と同様の効果を得ることができる。

【0044】このエポキシ樹脂61を形成する工程は、図2(C)に示す工程を実行した後、低粘度の液状樹脂(例えばエポキシ樹脂)を、例えばデイスベンサ等を用いてベアチップ34の回路面34Aと対向する面及びチップ部品36の電極36Aが形成されている面と対向する面上に滴下した後、硬化させることにより行われる。これにより、ベアチップ34及びチップ部品36がエポキシ樹脂61によつて封止されるので実装基板30を外部から保護することができる。

【0045】また上述の実施例においては、本発明をチップサイズパッケージで構成される半導体装置50に適用した場合について述べたが、本発明はこれに限らず、図3との対応部分に同一符号を付して示す図5に示すように、マルチチップモジュール型の半導体装置70に本発明を適用しても上述の実施例と同様の効果を得ることができる。

【0046】図5に示すように、半導体装置70はベアチップ34の各パッド35及びチップ部品36の電極36Aと、ガラスエポキシ基板71及び所定の配線パターン層72が交互に積層形成されてなる多層配線基板73の一方の面73Aに設けられた対応するランド74Aとが、異方性導電フィルム42中の導電性粒子42Aを介して電気的に接合されることにより、多層配線基板73の一方の面73Aにベアチップ34及びチップ部品36が実装されて構成されている。この場合、上述の半導体装置50と同様にベアチップ34及びチップ部品36をエポキシ樹脂61によつて封止してもよい。

【0047】またこの半導体装置70の場合、多層配線基板73の他面73Bに設けられた各ランド74B上に所定のピッチで例えばCuでなるはんだボール75が形成されたいわゆるBGAで構成されており、マザーボードに実装し得るようになされている。ここで多層配線基板73の他面73Bに設けられた各ランド74上にはんだボール75を形成せずに、多層配線基板73の他方の面73B側の各ランド74Bを剥き出しの状態にしても



よい。

【0048】さらに図6に示すように、半導体装置70において、はんだボール75に代えて、多層配線基板73の他方の面73Bにピン型コネクタ76を装着してもよい。この場合、ピン型コネクタ76は多層配線基板73の他方の面73Bに設けられた各ランド74Bと電気的に接続される。従つて半導体装置70をマザーボードに実装する際、当該半導体装置70を容易に取り扱うことができると共に、当該半導体装置70を容易に交換することができる。このピン型コネクタ76は半導体装置50にも適用することができ、同様の効果を得ることができる。

【0049】また上述の実施例においては、ベアチップ34をマザーボード31に実装した後、チップ部品36をマザーボード31に実装した場合について述べたが、本発明はこれに限らず、チップ部品36をマザーボード31に実装した後、ベアチップ34をマザーボード31に実装するようにしても上述の実施例と同様の効果を得ることができる。また上述の実施例においては、ベアチップ34及びチップ部品36を別個にマザーボード31に実装した場合について述べたが、本発明はこれに限らず、ベアチップ34及びチップ部品36を一括してマザーボード31に実装してもよい。この場合、ベアチップ34及びチップ部品36を同一工程でマザーボード31に実装し得るので、実装工程を一段と簡易化することができる。また、実装時間を一段と短縮することができる。

【0050】また上述の実施例においては、ベアチップ34及びチップ部品36を異方性導電フィルム42のガラス転移点温度以下の温度でマザーボード31に仮付けした後、ベアチップ34及びチップ部品36をマザーボード31に熱圧着して実装した場合について述べたが、本発明はこれに限らず、ベアチップ34及びチップ部品36を異方性導電フィルム42のガラス転移点温度以下の温度でマザーボード31に仮付けし、ベアチップ34及びチップ部品36の導通テスト及び動作テストを行った後、これらベアチップ34及びチップ部品36を一括して熱圧着するようにしてもよい。これにより、実装基板30の不良品の発生を未然に防止することができる。

【0051】また上述の実施例においては、100～240〔℃〕の圧着温度、5～40〔秒〕の圧着時間、1バンプ当たり5～10〔g〕程度の圧力の熱圧着条件でベアチップ34及びチップ部品36を異方性導電フィルム42に対して熱圧着した場合について述べたが、本発明はこれに限らず、要はベアチップ34及びチップ部品36を異方性導電フィルム42に熱圧着し得れば、この他種々の熱圧着条件でベアチップ34及びチップ部品36を異方性導電フィルム42に対して熱圧着してもよい。

【0052】また上述の実施例においては、一方の面に複数の電子部品の各電極に対応したランドが設けられた

配線基板として、マザーボード34、多層配線基板53及び多層配線基板73を用いた場合について述べたが、本発明はこれに限らず、一方の面に複数の電子部品の各電極に対応したランドが設けられた配線基板として、紙エポキシ基板、アラミド基板、ポリイミド基板及びビスマレイドトリアジン（BT）-レジン基板等の有機配線基板、アルミナ、ムライト及びガラスセラミツク等のセラミツク多層配線基板及びシリコン基板上のCu/ポリイミド配線基板などの配線基板等、この他種々の配線基板を適用し得る。

【0053】また上述の実施例においては、各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する異方性導電部材として異方性導電フィルム42を用いた場合について述べたが、本発明はこれに限らず、各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する異方性導電部材として、例えば熱硬化性エポキシ樹脂や熱可塑性のゴム系樹脂と導電性粒子と溶剤とが混合されてなるペースト状の異方性導電フィルムや、例えばAu及びNi等の金属粒子が分散された異方性導電フィルムを用いてもよい。ペースト状の異方性導電部材を用いる場合には、スクリーン印刷法を用いてマザーボード31の一方の面34Aに形成するか、又はデイスベンサ等を用いて接合面に直接滴下してもよい。

【0054】また上述の実施例においては、各電子部品の電極が設けられている面と対向する面側を被覆する絶縁性樹脂としてエポキシ樹脂55及び61を用いた場合について述べたが、本発明はこれに限らず、各電子部品の電極が設けられている面と対向する面側を被覆する絶縁性樹脂としてこの他種々の絶縁性樹脂を適用し得る。さらに上述の実施例においては、ランド上に設けられた電気的接続手段としてはんだボール56、75及びピン型コネクタ76を用いた場合について述べたが、本発明はこれに限らず、ランド上に設けられた電気的接続手段としてこの他種々の電気的接続手段を適用し得る。

【0055】

【発明の効果】上述のように本発明によれば、異方性導電部材を介して各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持するようにしたことにより、各電子部品の間隔は異方性導電部材の切取り精度及び配線基板に対する位置決め精度に依存しないので、各電子部品の配置間隔を大幅に狭めることができる。かくして高密度実装し得る実装基板、電子部品実装方法及び半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明による実装基板の一実施例を示す略線的断面図（A）及び略線的上面図（B）である。

【図2】本発明による実装基板の製造工程の一実施例を

示す略線の断面図である。

【図3】本発明による半導体装置の一実施例を示す略線的断面図である。

【図4】他の実施例による実装基板を示す略線の断面図である。

【図5】他の実施例による半導体装置を示す略線の断面図である。

【図6】他の実施例による半導体装置を示す略線の断面図である。

【図7】従来の実装基板を示す略線的断面図(A)及び略線的上面図(B)である。

【図8】異方性導電フィルムを用いた従来の実装基板を示す略線の断面図(A)及び略線的上面図(B)である。

【符号の説明】

30……実装基板、31……マザーボード、34……ベアチップ、35……パッド、36……チップ部品、37A、37B……ランド、40……バンパ、42……異方性導電フィルム、50、70……半導体装置、53、73……配線基板、55、61……エポキシ樹脂、56、75……はんだボール、76……ピン型コネクタ。

【図1】

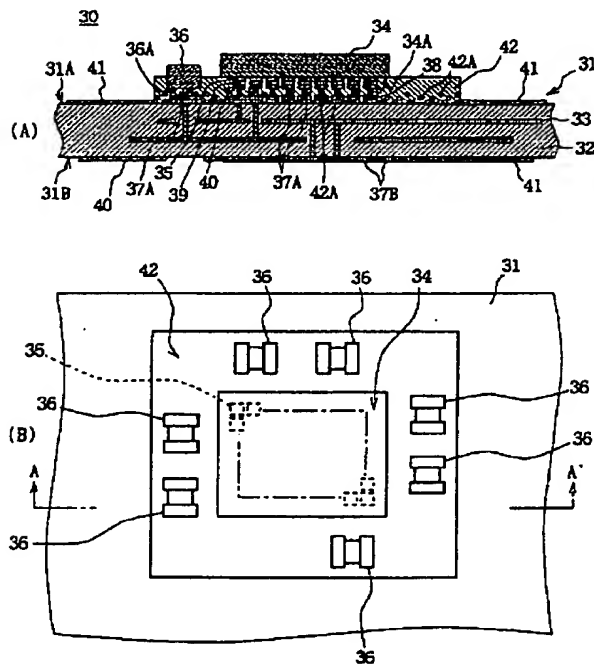


図1 実施例による実装基板の構成

【図2】

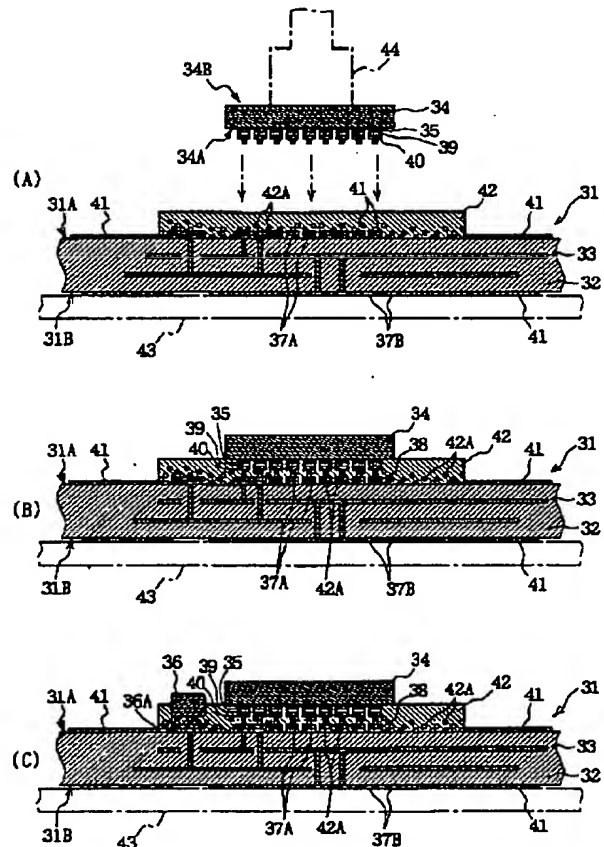


図2 実装基板の製造工程

【図3】

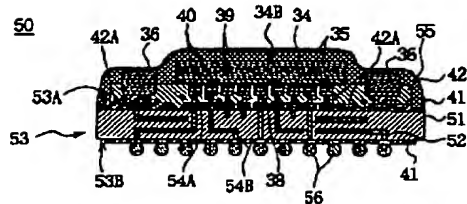


図3 実施例による半導体装置の構成



## 中华人民共和国国家知识产权局

邮政编码:

香港湾仔港湾道 23 号鹰君中心 22 字楼

中国专利代理(香港)有限公司

杨凯, 叶恺东



申请号: 99801066.9

部门及通知书类型: 3-D

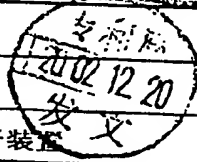
发文日期:

申请人:

精工爱普生株式会社

发明名称:

半导体装置及其制造方法、电路基板和电子装置



## 第一次审查意见通知书

(进入国家阶段的 PCT 申请)

0050258P

1. ☒ 申请人提出了实审请求, 根据专利法第 35 条第 1 款的规定, 审查员对上述发明专利申请进行实质审查。  
☐ 根据专利法第 35 条第 2 款的规定, 国家知识产权局决定自行对上述发明专利申请进行审查。

叶

2. ☒ 申请人要求以在:

JP 专利局的申请日 1998 年 7 月 1 日 为优先权日,  
 专利局的申请日 为优先权日,  
 专利局的申请日 为优先权日。

3. ☐ 申请人提交的下列修改文件不符合专利法第 33 条的规定, 因而不能接受:

- ☐ 国际初步审查报告附件的中文译文。  
☐ 依据专利合作条约第 19 条规定所提交的修改文件的中文译文。  
☐ 依据专利合作条约第 28 条或 41 条规定所提交的修改文件。  
☐ 依据专利法实施细则第 51 条规定所提交的修改文件。

修改不能被接受的具体理由见通知书正文部分。

4. ☒ 审查是针对原始提交的国际申请的中文译文进行的。

- ☐ 审查是针对下述申请文件进行的:

说明书 第\_\_\_\_页, 按照原始提交的国际申请文件的中文译文;  
 第\_\_\_\_页, 按照国际初步审查报告附件的中文译文;  
 第\_\_\_\_页, 按照依据专利合作条约第 28 条或 41 条规定所提交的修改文件;  
 第\_\_\_\_页, 按照依据专利法实施细则第 51 条规定所提交的修改文件。  
 权利要求 第\_\_\_\_项, 按照原始提交的国际申请文件的中文译文;  
 第\_\_\_\_项, 按照依据专利合作条约第 19 条规定所提交的修改文件的中文译文。  
 第\_\_\_\_项, 按照国际初步审查报告附件的中文译文;  
 第\_\_\_\_项, 按照依据专利合作条约第 28 条或 41 条所提交的修改文件;  
 第\_\_\_\_项, 按照依据专利法实施细则第 51 条规定所提交的修改文件。  
 附图 第\_\_\_\_页, 按照原始提出的国际申请文件的中文译文;  
 第\_\_\_\_页, 按照国际初步审查报告附件的中文译文;  
 第\_\_\_\_页, 按照依据专利合作条约第 28 条或 41 条所提交的修改文件;  
 第\_\_\_\_页, 按照依据专利法实施细则第 51 条规定所提交的修改文件。

- 4 MAY 2003

回函请寄: 100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收  
 2201-1 99.1 (注: 凡寄给审查员个人的信函不具有法律效力)

5. ☒ 本通知书引用下述对比文献 (其编号在今后的审查过程中继续沿用):

编号	文件号或名称	公开日期 (或抵触申请的申请日)
1	JP10-84014A	1998 年 3 月 31 日
2	JP10-4126A	1998 年 1 月 6 日
3		____ 年 ____ 月 ____ 日
4		____ 年 ____ 月 ____ 日

6. 审查的结论性意见:

☐ 关于说明书:

☐ 申请的内容属于专利法第 5 条规定的不授予专利权的范围。

☐ 说明书不符合专利法第 26 条第 3 款的规定。

☐ 说明书不符合专利法第 18 条的规定。

☐

☒ 关于权利要求书:

☐ 权利要求\_\_\_\_属于专利法第 25 条规定的不授予专利权的范围。

☐ 权利要求\_\_\_\_不具备专利法第 22 条第 2 款规定的新颖性。

☒ 权利要求 1-5、14-29 不具备专利法第 22 条第 3 款规定的创造性。

☐ 权利要求\_\_\_\_不具备专利法第 22 条第 4 款规定的实用性。

☐ 权利要求\_\_\_\_不符合专利法第 26 条第 4 款的规定。

☐ 权利要求\_\_\_\_不符合专利法第 31 条第 1 款的规定。

☐ 权利要求\_\_\_\_不符合专利法实施细则第 20 条至第 23 条的规定。

☐ 权利要求\_\_\_\_不符合专利法第 9 条的规定。

☐ 权利要求\_\_\_\_不符合专利法实施细则第 13 条第 1 款的规定。

☐

上述结论性意见的具体分析见本通知书的正文部分。

7. 基于上述结论性意见, 审查员认为:

☐ 申请人应依照通知书正文部分提出的要求, 对申请文件进行修改。

☒ 申请人应在意见陈述书中论述其专利申请可以被授予专利权的理由, 并对通知书正文部分中指出的不符合规定之处进行修改, 否则将不能授予专利权。

☐ 专利申请中没有可以被授予专利权的实质性内容, 如果申请人没有陈述理由或者陈述理由不充分, 其申请将被驳回。

☐

8. 申请人应注意下述事项:

(1) 根据专利法第 37 条的规定, 申请人应在收到本通知书之日起的 肆 个月内陈述意见, 如果申请人无正当理由逾期不答复, 其申请将被视为撤回。

(2) 申请人对其申请的修改应符合专利法第 33 条的规定, 修改文本应一式两份, 其格式应符合审查指南的有关规定。

(3) 申请人的意见陈述书和/或修改文本应邮寄或递交给中国专利局受理处, 凡未邮寄或递交给受理处的文件不具备法律效力。

(4) 未经预约, 申请人和/或代理人不得前来中国专利局与审查员举行会晤。

9. 本通知书正文部分共有 3 页, 并附有下列附件:

☒ 引用的对比文件的复印件共 2 份 8 页。

☐

## 第一次审查意见通知书正文

审查员认真研究了申请人提交的申请文件, 认为该申请文件存在不符合专利法及其实施细则的规定之处, 现提出如下审查意见:

1. 独立权利要求 1 所要求保护的技术方案不符合专利法第二十二条第三款有关创造性的规定。对比文件 1 (JP10-84014A) 涉及半导体装置的制造方法, 并公开了以下技术特征: 电路板 10 上形成电路图型 12, 条形基板 11 由多个形成电路图型 12 的电路板 10 组成, 半导体芯片 30 有一电极 32, 通过各向异性导电粘接剂 20 将芯片 30 与电路板 10 在对应的电极接触区 12a 粘接, 厚度大于电路板 10 与芯片 30 间的距离, 粘接剂溢出芯片 30 的范围但仍在芯片 30 与电路板 10 之间, 各向异性导电粘接剂 20 中含有热硬性 (亦可用热塑性) 树脂 21 及导电粒子 22, 加热粘接组分 21, 将芯片 30 置于电路板 10 上热压、冷却、固化后使之接合, 另外, 各向异性导电粘接剂 20 可以涂在电路板 10 的芯片焊接区域, 也可通过脱膜纸 26 先与芯片 30 粘接, 焊料球 40 通过焊料剂 39 焊接于焊盘 (焊接区) 14, 最终将多余粘接剂及基板 10 切除 (见说明书第三页第 0010 段至第四页第 0014 段、说明书摘要、附图 1-3)。对比文件 2 (JP10-4126A) 涉及半导体装置、电路基板、电子器件的方法, 并公开了以下技术特征: 半导体元件 34 有电极 35, 环氧树脂电路基板 32 上有焊接区 37A, 将含导电粒子 42A 的各向异性导电粘接剂 42 置于半导体元件 34 与电路基板 32 之间, 其接触区外覆盖焊料抗蚀层 (相当于保护层) 41 (见说明书第四页第 0022 段至第 0026 段、说明书摘要、附图 1)。由此可见, 在对比文件 1 的基础上结合对比文件 2 得出权利要求 1 所要求保护的技术方案对所属领域的技术人员来说是显而易见的, 而且它们的结合没有产生预料不到的技术效果, 因此权利要求 1 所要求保护的技术方案不具备突出的实质性特点和显著的进步, 不具备创造性。
2. 从属权利要求 2-5、14-16、20 所要求保护的技术方案不符合专利法第二十二条第三款有关创造性的规定。这些权利要求的附加技术特征均在对比文件 1 或 2 中披露, 因此在权利要求 2-5、14-16、20 所引用的独立权利要求 1 不具备创造性的情况下, 权利要求 2-5、14-16、20 也不具备创

造性。

3. 从属权利要求 17-19 所要求保护的技术方案不符合专利法第二十二条第三款有关创造性的规定。权利要求 17-19 的附加技术特征均为公知常识, 在对比文件 1 的基础上结合对比文件 2 并利用公知常识得出这些权利要求所要求保护的技术方案对所属领域的技术人员来说是显而易见的, 而且它们的结合没有产生预料不到的技术效果, 因此权利要求 17-19 所要求保护的技术方案不具备突出的实质性特点和显著的进步, 不具备创造性。
4. 独立权利要求 21、27-29 所要求保护的技术方案不符合专利法第二十二条第三款有关创造性的规定。对比文件 1 (JP10-84014A) 涉及半导体装置的制造方法, 并公开了以下技术特征: 电路板 10 上形成电路图型 12, 条形基板 11 由多个形成电路图型 12 的电路板 10 组成, 半导体芯片 30 有一电极 32, 通过各向异性导电粘接剂 20 将芯片 30 与电路板 10 在对应的电极接触区 12a 粘接, 厚度大于电路板 10 与芯片 30 间的距离, 粘接剂溢出芯片 30 的范围但仍在芯片 30 与电路板 10 之间, 各向异性导电粘接剂 20 中含有热硬性 (亦可用热塑性) 树脂 21 及导电粒子 22, 加热粘接组分 21, 将芯片 30 置于电路板 10 上热压、冷却、固化后使之接合, 另外, 各向异性导电粘接剂 20 可以涂在电路板 10 的芯片焊接区域, 也可通过脱膜纸 26 先与芯片 30 粘接, 焊料球 40 通过焊料剂 39 焊接于焊盘 14, 最终将多余粘接剂及基板 10 切除 (见说明书第三页第 0010 段至第四页第 0014 段、说明书摘要、附图 1-3)。对比文件 2 (JP10-4126A) 涉及半导体装置、电路基板、电子器件的方法, 并公开了以下技术特征: 半导体元件 34 有电极 35, 环氧树脂电路基板 32 上有焊接区 37A, 将含导电粒子 42 A 的各向异性导电粘接剂 42 置于半导体元件 34 与电路基板 32 之间, 其接触区外覆盖焊料抗蚀层 (相当于保护层) 41 (见说明书第四页第 0022 段至第 0026 段、说明书摘要、附图 1)。粘接剂加热加压后必然覆盖于保护层上。由此可见, 在对比文件 1 的基础上结合对比文件 2 得出权利要求 21、27-29 所要求保护的技术方案对所属领域的技术人员来说是显而易见的, 而且它们的结合没有产生预料不到的技术效果, 因此权利要求 21、27-29 所要求保护的技术方案不具备突出的实质性特点和显著的进步, 不具备创造性。
5. 从属权利要求 22-23 所要求保护的技术方案不符合专利法第二十二条第三款有关创造性的规定。这些权利要求的附加技术特征均在对比文件 1

中披露，因此在权利要求 22-23 所引用的独立权利要求 21 不具备创造性的情况下，权利要求 22-23 也不具备创造性。

6. 从属权利要求 24-26 所要求保护的技术方案不符合专利法第二十二条第三款有关创造性的规定。权利要求 24-26 的附加技术特征均为公知常识，在对比文件 1 的基础上结合对比文件 2 并利用公知常识得出这些权利要求所要求保护的技术方案对所属领域的技术人员来说是显而易见的，而且它们的结合没有产生预料不到的技术效果，因此权利要求 24-26 所要求保护的技术方案不具备突出的实质性特点和显著的进步，不具备创造性。

鉴于上述理由，申请人应在意见陈述书中论述该申请可以被授予专利权的理由，否则将不能授予专利权。另外对申请文件的修改应符合专利法第三十三条的规定，不得超出原说明书和权利要求书记载的范围。为了加快审查的进行，请申请人在提交修改文本时提交：第一，修改涉及的那一部分原文的复印件，采用红色钢笔或红色圆珠笔在该复印件上标注出所做的增加、删除或替换；第二，重新打印的替换页，用于替换相应的原文。申请人应当确保上述两部分在内容上的一致性。